

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-69696

(43)公開日 平成8年(1996)3月12日

(51)Int.Cl.*

識別記号 執内整理番号

F I

技術表示箇所

G 11 C 16/06

H 01 L 27/115

21/8247

G 11 C 17/00

309 J

309 Z

審査請求 未請求 請求項の数 6 OL (全 9 頁) 最終頁に続く

(21)出願番号

特願平6-206182

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成6年(1994)8月31日

(72)発明者 作井 康司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 竹内 健

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 大内 和則

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74)代理人 弁理士 鈴江 武彦

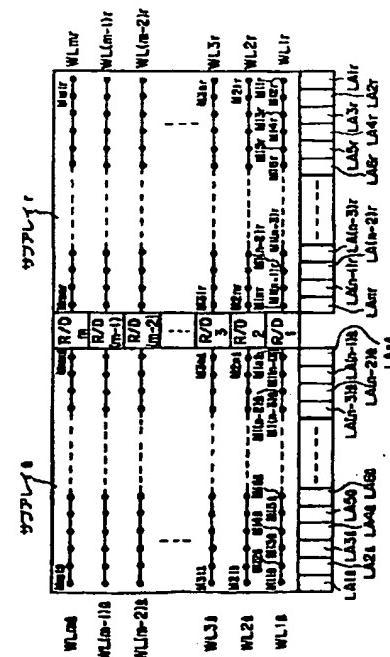
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 ページリードとランダムリードを可能とし、特に円滑なページリードと高速な書き込みを可能とした半導体記憶装置を提供すること。

【構成】 互いに直交する複数本ずつのワード線WLとビット線BLなどが配設され、これらワード線WLとビット線BLとの各交差部に書き替え可能なメモリセルMが配置されたアレイを2つのサブアレイ1, 2に分割した半導体記憶装置において、読み出し動作では、アレイ分割されたワード線WLを1本ずつ順次選択し、書き込み動作では、アレイ分割されたワード線WLの2本を同時に選択することを特徴とする。



【特許請求の範囲】

【請求項1】互いに交差する複数本ずつのワード線とピット線が配設され、これらワード線とピット線の各交差部に書き替え可能なメモリセルが配置されたアレイを複数のサブアレイに分割した半導体記憶装置において、読み出し動作と書き込み動作とで、選択されるワード線の本数を異ならせたことを特徴とする半導体記憶装置。

【請求項2】前記読み出し動作若しくは書き込み動作で、1回の動作で選択されるワード線の本数は前記各サブアレイにおいて最大で1本であることを特徴とする請求項1記載の半導体記憶装置。

【請求項3】前記読み出し動作で選択されるワード線の本数よりも、前記書き込み動作で選択されるワード線の本数を多くしたことを特徴とする請求項1又は2に記載の半導体記憶装置。

【請求項4】前記読み出し動作では、アレイ分割されたワード線を1本ずつ順次選択し、前記書き込み動作では、アレイ分割されたワード線の複数本を同時に選択することを特徴とする請求項1記載の半導体記憶装置。

【請求項5】前記書き替え可能なメモリセルは、トンネル電流で書き込みできる不揮発性メモリセルであることを特徴とする請求項1, 2, 3又は4に記載の半導体記憶装置。

【請求項6】前記電気的書き替え可能な不揮発性メモリセルは、複数個ずつ直列接続されてNANDセルを構成していることを特徴とする請求項5記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ランダムリードとページリードを可能とした半導体記憶装置に係わり、特に読み出し動作と書き込み動作で選択されるワード線の本数を変えた半導体記憶装置に関する。

【0002】

【従来の技術】電気的書き替え可能とした不揮発性半導体装置(EEPROM)の中で高集積化可能なものとして、NAND型EEPROMが知られている。このEEPROMでは、1つのメモリセルは基板上に絶縁膜を介して浮遊ゲートと制御ゲートが積層されたFETMOS構造を有し、複数個のメモリセルが隣接するもの同士でそのソース、ドレインを共有する形で直列接続されてNANDセルを構成している。

【0003】NANDセルの一端側ドレインは選択ゲートを介してピット線に接続され、他端側ソースはやはり選択ゲートを介して共通ソース線に接続される。メモリセルの制御ゲートは、行方向に連続的に接続されてワード線となる。通常、同一ワード線につながるメモリセルの集合を1ページと呼び、1組のドレイン側及びソース側の選択ゲートによって挟まれたページの集合を1NANDブロック又は単に1ブロックと呼ぶ。メモリセルア

レイは通常、n型半導体基板に形成されたp型ウエル内に形成される。

【0004】NAND型EEPROMの動作は、次の通りである。データ書き込みは、ピット線から遠い方のメモリセルから順に行う。選択されたメモリセルの制御ゲートには昇圧された書き込み電位V_{pp}(=20V程度)を印加し、他の非選択メモリセルの制御ゲート及び選択ゲートには中間電位(=10V程度)を印加し、ピット線にはデータに応じて0V("0"書き込み)又は中間電位("1"書き込み)を印加する。このとき、ピット線の電位は選択メモリセルに伝達される。データ"0"の時は、選択メモリセルの浮遊ゲートと基板間に高電圧がかかり、基板から浮遊ゲートに電子がトンネル注入されしきい値が正方向に移動する。データ"1"のときはしきい値は変化しない。

【0005】データ消去は、NANDセル内の全てのメモリセルに対してほぼ同時に行われる。即ち、全ての制御ゲート、選択ゲートを0Vとし、p型ウエル及びn型基板に昇圧された消去電位V_{ppE}(20V程度)を印加する。これにより、全てのメモリセルにおいて浮遊ゲートの電子がウエルに放出され、しきい値が負方向に移動する。

【0006】データ読み出しが、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲート及び選択ゲートを電源電位V_{cc}として、選択メモリセルで電流が流れれるか否かを検出することにより行われる。

【0007】NAND型EEPROMでは、メモリセルを直列に接続しているためにセル電流が小さく、ピット線の放電には数μs要する。よって、ランダムリードには約10μsかかる。データは1ページ分、センスアンプ兼データラッチ回路にラッチされる。ページリードは、このラッチデータを読み出すだけであるから約100nsで読める。例えば、ページ長が256バイトのもので、1ページのデータを読み出すためには、ランダムリード1回とページリード255回で
10+0.1×255~35μs

の時間を要する。よって、複数のページにわたるデータを読み出す場合には、ページの切り替え部で10μsのランダムリード動作を必要とする。

【0008】ページ切り替え時のランダムリード動作をなくして見かけ上ページリードのサイクルで複数ページのデータを読み出す方法として、例えばメモリセルアレイとセンスアンプ兼ラッチ回路を2分割してランダムリードとページリードを同時にを行う方法がある(特願平4-157831号)。この方法では、2分割したメモリセルアレイの一方でページ読み出し動作をしている間に、他方でランダムリード動作を行うことによって、ページの切り替わり点でランダムリード動作を挟むことなく、ページリードのタイミングを保ったまま複数のペー

じにわたるデータを読み出すことができる。

【0009】このように、メモリセルアレイを複数個のサブアレイに分割し、ページ切り替え時の無駄時間なくすことによって、円滑なシリアル読み出しが実現できる。従って、半導体記憶装置の高密度が進むに従って、高速かつ円滑な読み出しを実現するためには、サブアレイ化を進め、ワード線を分割し、ページサイズを縮小していく方向にある。

【0010】しかしながら、ページサイズを縮小化すると、書き込みに時間がかかる問題が生じる。例えば、ページ長が256バイトのNAND型EEPROMをページ長256バイトの場合と64バイトずつの4分割にした場合とで、1バイト当たりの書き込み時間を比較する。

【0011】まず、ページ長256バイトの場合、データロード時間に

$$50\text{ ns} \times 256 = 12.8\mu\text{s}$$

かかり、書き込み確認読み出しを含んだワード線選択の書き込み時間は300μsとすると、1ページ256バイトの書き込み時間は、

$$12.8 + 300 = 312.8\mu\text{s}$$

となり、1バイト当たりの書き込み時間は、1.22μsとなる。

【0012】しかし、1ページを4分割に64バイトずつにすると、データロード時間に

$$50\text{ ns} \times 64 = 3.2\mu\text{s}$$

かかり、書き込み確認読み出しを含んだワード線選択の書き込み時間に300μsかかる。この書き込み確認読み出しを含んだワード線選択の書き込み時間が300μsとページサイズによらず同一のは1ページ括で書き込みと、書き込み確認読み出しを行っているためである。従って、1ページ64バイトの書き込み時間は

$$3.2 + 300 = 303.2\mu\text{s}$$

となり、1バイト当たりの書き込み時間は、4.74μsとなる。

【0013】上記のように、ページサイズを分割していくと、その分割数に応じて、1バイト当たりの書き込み時間が長くなり、例えばページサイズが4分割されると、1バイト当たりの書き込み時間は約4倍となる問題があった。

【0014】

【発明が解決しようとする課題】このように従来の半導体記憶装置においては、ページ切り替え時のランダムリード時間中にもシリアルリードが途切れることなく、円滑に行われるようするために、メモリセルアレイを複数のサブアレイに分割し、1つのサブアレイでページ読み出し動作をしている間に、他のサブアレイでランダムリード動作を行うようにしている。しかし、メモリセルアレイを複数のサブアレイに分割することにより、同時に書き込みのページサイズが短くなり、1バイト当たりの

書き込み時間が増加するという問題があった。

【0015】本発明は、上記の問題に鑑みてなされたもので、その目的とするところは、ページリードとランダムリードを可能とし、特に円滑なページリードと高速な書き込みを可能とした半導体記憶装置を提供することにある。

【0016】

【課題を解決するための手段】上記課題を解決するためには本発明は、次のような構成を採用している。即ち本発明は、互いに交差する複数本ずつのワード線とピット線が配設され、これらワード線とピット線の各交差部に書き替え可能なメモリセルが配置されたアレイを複数のサブアレイに分割した半導体記憶装置において、読み出し動作と書き込み動作とで、選択されるワード線の本数を異らせたことを特徴とする。より具体的には、読み出し動作と書き込み動作とで、1回の動作で選択されるワード線の本数、即ちページサイズを変更する手段を備えたことを特徴とする。

【0017】ここで、本発明の望ましい実施態様としては、次のものがあげられる。

(1) 読み出し動作若しくは書き込み動作で、1回の動作で選択されるワード線の本数は各サブアレイにおいて最大で1本であること。

(2) 読み出し動作で選択されるワード線の本数よりも、書き込み動作で選択されるワード線の本数を多くしたこと。つまり、読み出し動作のページサイズよりも書き込み動作のページサイズの方を大きくしたこと。

(3) 読み出し動作では、アレイ分割されたワード線を1本ずつ順次選択し、書き込み動作では、アレイ分割されたワード線の複数本を同時に選択すること。

(4) 書き替え可能なメモリセルは、トンネル電流で書き込みできる不揮発性メモリセルであること。

(5) 電気的書き替え可能な不揮発性メモリセルは、複数個ずつ直列接続されてNANDセルを構成していること。

【0018】

【作用】本発明によれば、読み出し動作時には、アレイ分割されたワード線が順次選択されるため、複数ページ分のデータの連続読み出しに際し、ページの切り替えでのランダムリード時間が見かけ上無駄とならず、これにより円滑なページ読み出しが実現できる。また、書き込み動作時には、アレイ分割された複数本のワード線を同時に選択するため、書き込み動作時のページサイズが読み出し動作時のページサイズより長くなり、これにより高速書き込みが実現できる。

【0019】

【実施例】以下、本発明の実施例を図面を参照して説明する。

(実施例1) 図1は、本発明の一実施例に係わる半導体記憶装置のメモリアレイのブロック図である。同図中、

WL11～WLm1、WL1r～WLnrはワード線、R/D1～R/Dmはロウデコーダ、M111～Mmn1、M11r～Mmrはメモリセル、LA11～LAn1、LA1r～LAnrはセンスアンプ兼データラッチ回路であり、メモリセルアレイはサブアレイ1、サブアレイrの2分割されている。また、図には示さないが、ワード線WLと直交する方向にビット線BLが配置されており、各々のビット線BLにセンスアンプ兼データラッチ回路LAが接続されている。

【0020】メモリセルMとしては、1トランジスタ/1キャバシタのDRAMやスタティックRAMを用いることができ、また制御ゲートと浮遊ゲートを有する不揮発性ROM、更にはこれを直列接続したNANDセルを用いることも可能である。ここでは、DRAMとして説明する。

【0021】図2は、図1のメモリセルアレイの読み出し動作を示しているが、最初にワード線WL11が選択されると、WL11に関してランダムリードが行われ、メモリセルM111～M1n1の記憶データがセンスアンプ兼データラッチ回路LA11～LAn1に転送される。次に、センスアンプ兼データラッチ回路に転送されたデータが順次ページリードされている間に、次のワード線WL1rが選択され、WL1rに関してランダムリードが行われ、メモリセルM11r～M1nrの記憶データがセンスアンプ兼データラッチ回路LA1r～LAnrに転送され、LA11～LAn1のページリードが終わると連続的にLA1r～LAnrのページリードが行われる。

【0022】そして、次にワード線WL21、その次にWL2rと選択され、サブアレイ1とサブアレイrとのページデータが交互に途中間断なくシリアル読み出しされる。また、ページとページの切り替え時に、図3に示したようにワード線選択のためのロウアドレスRAを入力してもよい。この場合、例えば最初にワード線WL(m-1)rが選択され、次にWL1r、WL31、WL(m-2)rというように、サブアレイ1とサブアレイrとのページデータは交互にシリアル読み出しが行われるが、サブアレイ内のワード線の選択は入力するロウアドレスに応じて行われる。

【0023】また、図4に示したように、ワード線選択のためのロウアドレスRAの入力は、ページとページの切り替え時に行わず、読み出し時の最初にまとめて行つてもよい。

【0024】図5は、図1のメモリセルアレイの書き込み動作を示しているが、最初に2分割されたサブアレイ1とサブアレイrの両方のセンスアンプ兼データラッチ回路LA11～LAn1とLA1r～LAnrに2ページ分のデータがロードされる。次に、例えば、ワード線WL11とWL1rとが同時に選択されると、メモリセルM111～M1n1とM11r～M1nrにセンスアンプ兼データラッチ回路LA11～LAn1とLA1r～LAnrにロードされたデータが同時に書き込まれる。

【0025】この場合、サブアレイ1とサブアレイrに関して、選択されるワード線はWL11とWL1rであるよう、書き込み時に入力されるロウアドレスが、例えば“1”番地のみで、サブアレイ1とサブアレイrとを区別するロウアドレスがなくても、ロウデコーダR/D1で対のワード線WL11とWL1rとが選択されることになる。

【0026】また、図6に示したように、サブアレイ1とサブアレイrに関して、それぞれ任意の1本のワード線をロウアドレスRA入力によって選択してもよい。この場合、サブアレイ1に関しては、“31”番地、サブアレイrに関しては“(m-2)r”番地が入力され、2分割されたサブアレイ1とサブアレイrの両方のセンスアンプ兼データラッチ回路LA11～LAn1とLA1r～LAnrに2ページ分のデータがロードされると、ワード線WL31とWL(m-2)rとが同時に選択され、メモリセルM311～M3n1とM(m-2)1r～M(m-2)nrにセンスアンプ兼データラッチ回路LA11～LAn1とLA1r～LAnrにロードされたデータが同時に書き込まれる。

【0027】このように本実施例によれば、メモリセルアレイを2つのサブアレイ1、rに分割し、複数ページ分のデータの連続読み出しに際し、アレイ分割されたワード線WLを順次選択することにより、ページの切り替えでのランダムリード時間が見かけ上無駄とならず、これにより円滑なページ読み出しを行うことができる。しかも、書き込み動作時には、アレイ分割された2本のワード線WLを同時に選択するため、書き込み動作時のページサイズが読み出し動作時のページサイズより長くなり、これにより高速書き込みを行うことができる。

(実施例2) 図7には、メモリセルアレイが4分割された場合を示している。図中の1はサブアレイ、2はセンスアンプ兼データラッチ回路、3はロウデコーダ、4はカラムデコーダ、5はデータ入出力バッファを示している。メモリセルアレイをA～Dの4つのサブアレイ1に分割し、各々のサブアレイ1(A～D)毎にセンスアンプ兼データラッチ回路2(A～D)、カラムデコーダ4(A～D)が設けられている。ロウデコーダ3はサブアレイA、B間にサブアレイC、D間に設けられている。

【0028】この実施例の場合も、読み出し時には、ワード線が1本ずつ選択される。例えば、図8に示したようにワード線A、B、C、Dが入力したロウアドレスRAに応じて順次選択され、円滑なシリアル読み出しが行われる。

【0029】また、図9に示したように書き込み時に、書き込みデータがセンスアンプ兼データラッチ回路A～Dにロードされた後、4本のワード線A～Dが入力したロウアドレスRAに応じて同時に選択され、ワード線A～Dに関するメモリセルにセンスアンプ兼データラッチ回路A～Dにロードされたデータが書き込まれる。

【0030】従って、ロウデコーダA B、ロウデコーダC Dにより、読み出し時にはワード線Aとワード線B、及びワード線Cとワード線Dとをそれぞれ別々に選択でき、書き込み時にはワード線A～Dを同時に選択できる。

(実施例3) 以上は、DRAM、SRAMを含む一般的な書き替え可能なメモリについて実施例を説明してきたが、本発明はこれに限らず、制御ゲートと浮遊ゲート(電荷蓄積層)を有する不揮発性メモリに適用することもできる。但し、長いページに渡ってアクセスすることを考えると、トンネル電流で書き込みができるものが望ましい。また、メモリセルを複数個接続してなるメモリセルユニットは、メモリセルを直列接続したNAND型、メモリセルを複数個並列接続したOR型、メモリセルを複数個並列接続し、その両端に選択ゲートを設けたAND型、メモリセルを複数個並列接続し、その一方の端に選択ゲートを設けたDINOR型であってもよい。

【0031】これらのフラッシュEEPROMにおける、読み出し及び書き込みのワード線電圧は、それぞれのデバイスに従う。例えば、NAND型EEPROMの場合、読み出し時に、選択されたメモリセルのワード線(制御ゲート)を0Vとし、それ以外のメモリセルのワード線及び選択ゲートを電源電位Vccとして、選択メモリセルで電流が流れるか否かを検出することにより行われる。

【0032】また、書き込み時には、選択されたメモリセルのワード線(制御ゲート)には昇圧された書き込み電位Vpp (= 20V程度)を印加し、他の非選択メモリセルの制御ゲート及び選択ゲートには中間電位(= 10V程度)を印加し、ピット線にはデータに応じて0V("0"書き込み)又は中間電位("1"書き込み)を印加する。このとき、ピット線の電位は選択メモリセルに伝達される。

【0033】そして、データ"0"の時は、選択メモリセルの浮遊ゲートと基板間に高電圧がかかり、基板から浮遊ゲートに電子がトンネル注入されてしまい値が正方向に移動する。データ"1"のときはしきい値は変化しない。

【0034】データ消去は、NANDセル内の全てのメモリセルに対してほぼ同時に行われる。即ち、全ての制御ゲート、選択ゲートを0Vとし、p型ウエル及びn型基板に昇圧された消去電位VppE (20V程度)を印加する。これにより、全てのメモリセルにおいて浮遊ゲートの電子がウエルに放出され、しきい値が負方向に移動する。

【0035】このような実施例であっても第1の実施例と同様の効果が得られるが、複数本のワード線を同時に選択して書き込みを行う動作は、NAND型EEPROMのように、書き込み確認読み出しを含んだワード線選択の書き込み時間が長いものにあって特に有効である。

【0036】なお、本発明は上述した実施例に限定されるものではない。メモリセルアレイの分割数は2個や4個に限るものではなく、仕様に応じて適宜変更可能である。また、1回の動作で選択されるワード線の本数は、各々のサブアレイにおいて最大で1本であり、読み出し動作で選択されるワード線の本数よりも、書き込み動作で選択されるワード線の本数を多くすればよい。一般的には、読み出し動作では、アレイ分割されたワード線を1本ずつ順次選択し、書き込み動作では、アレイ分割されたワード線の複数本を同時に選択すればよい。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0037】

【発明の効果】以上詳述したように本発明によれば、読み出し動作時には、アレイ分割されたワード線が順次選択されるため、複数ページ分のデータの連続読み出しに際し、ページの切り替えでのランダムリード時間が見かけ上無駄とならず、円滑なページ読み出しが実現できる。また、書き込み動作時には、アレイ分割された複数本のワード線を同時に選択するため、書き込み動作時のページサイズが読み出し動作時のページサイズより長くなり、高速書き込みが実現できる。

【図面の簡単な説明】

【図1】第1の実施例に係わる半導体記憶装置の基本構成を示すブロック図。

【図2】図1のメモリセルアレイの読み出し動作を示す信号波形図。

【図3】図1のメモリセルアレイの読み出し動作を示す信号波形図。

【図4】図1のメモリセルアレイの読み出し動作を示す信号波形図。

【図5】図1のメモリセルアレイの書き込み動作を示す信号波形図。

【図6】図1のメモリセルアレイの書き込み動作を示す信号波形図。

【図7】第2の実施例に係わる半導体記憶装置の基本構成を示すブロック図。

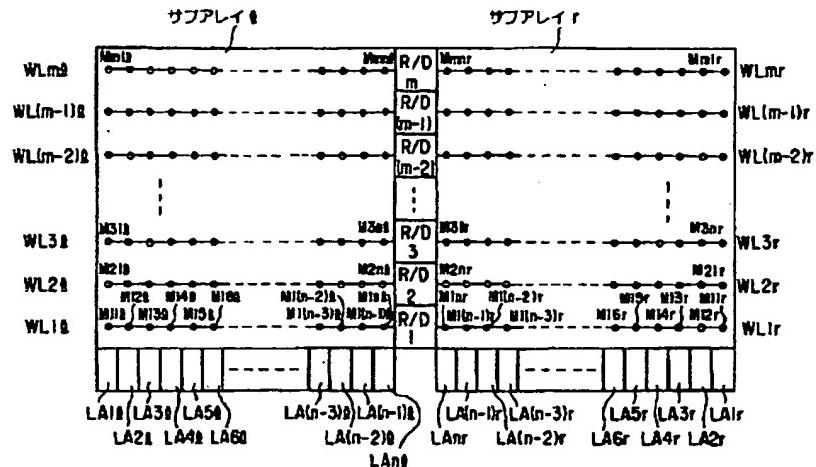
【図8】図7のメモリセルアレイの読み出し動作を示す信号波形図。

【図9】図7のメモリセルアレイの書き込み動作を示す信号波形図。

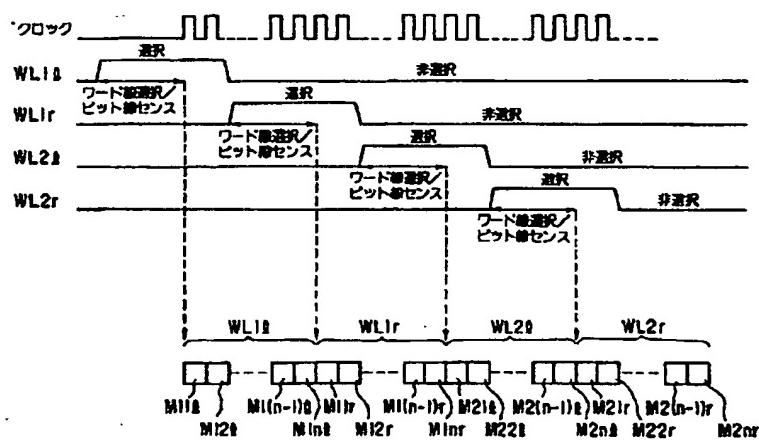
【符号の説明】

1. I, r…サブアレイ
2. LA1l～LA1r, LA1r～LAmr…センスアンプ兼データラッチ回路
3. R/D1～R/Dm…ロウデコーダ
- 4…カラムデコーダ
- 5…データ入出力バッファ
- WL1l～WLal, WL1r～WLar…ワード線
- M1l1～M1rl, M1rl～M1mr…メモリセル

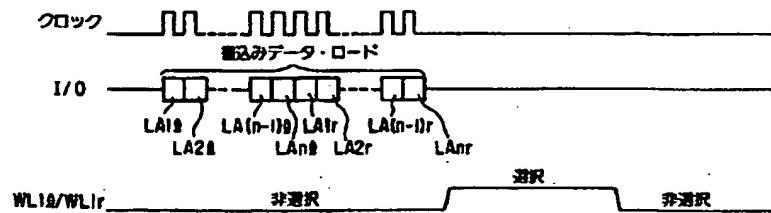
【图1】



[图2]

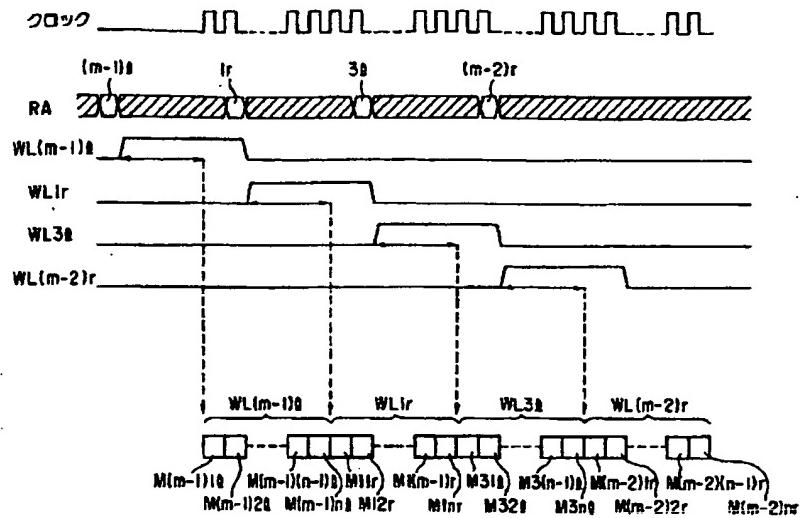


[5]

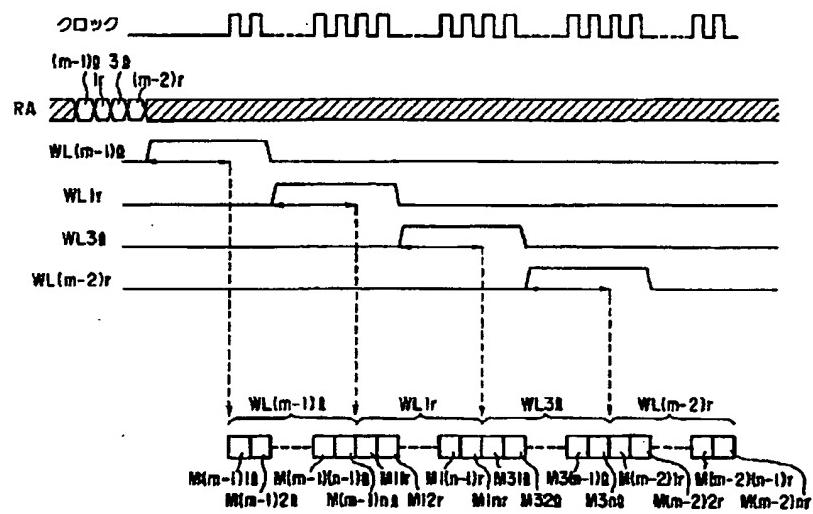


FH 008990

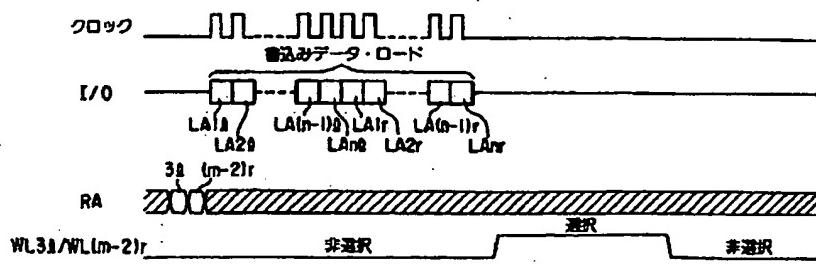
【図3】



【図4】

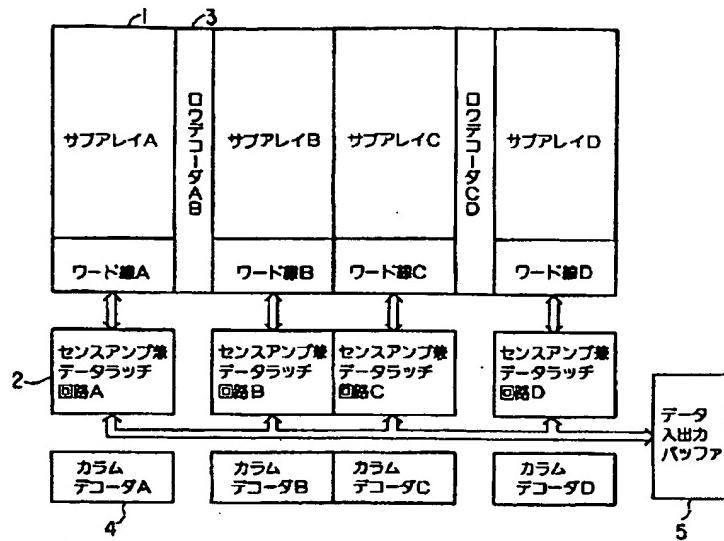


【図6】

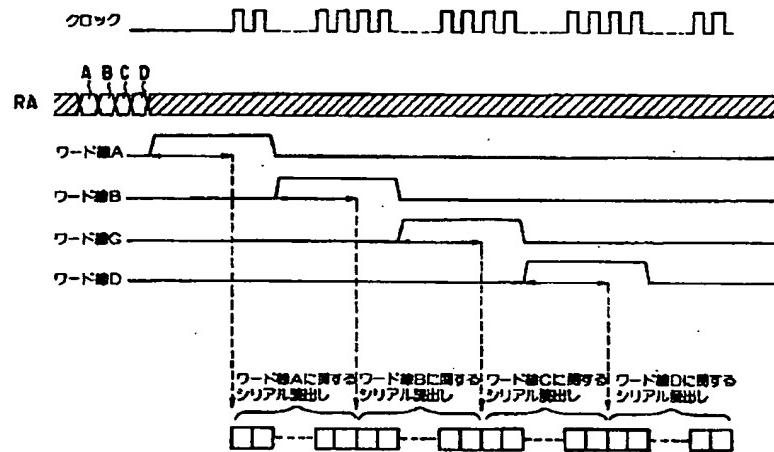


FH 008991

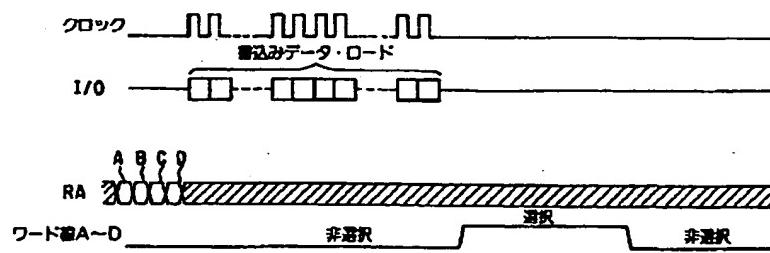
【図 7】



【図 8】



【図 9】



FH 008992

フロントページの続き

(51) Int. Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/788			
	29/792			
		H 0 1 L	27/10	4 3 4
			29/78	3 7 1

(72)発明者 外岡 富士雄
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝研究開発センター内

FH 008993

JAPANESE LAID-OPEN PATENT APPLICATION

H8-69696 (1996)

(19) Japan Patent Office (JP)	(11) Publication No.	H8-69696
(12) Published Unexamined Patent Application (A)	(43) Publication Date	March 12, 1996
(51) Int. Cl. ⁶	Identification	In-House
	Code	FI
	Reference No.	Place of Technical
G 11 C 16/06		Designation
H 01 L 27/115		
21/8247		
		G 11 C 17/00 309 J
		309 Z
H 01 L 29/788		
29/792		
		H 01 L 27/10 434
		29/78 371

No examination request Number of claims 6 OL (totally 9 pages)

(21) Application No.	PA H6-206182
(22) Date of Filing	August 31, 1994 (Heisei 6)
(71) Applicant	000003078 Toshiba Corp. 72, Horikawa-cho, Saiwai-ku Kawasaki-shi, Kanagawa-ken
(72) Inventor	Yasushi SAKUI Toshiba Corp. Research & Development Center 1, Toshiba-cho, Obuke, Saiwai-ku Kawasaki-shi, Kanagawa-ken
(72) Inventor	Takeshi TAKEUCHI Toshiba Corp. Research & Development Center 1, Toshiba-cho, Obuke, Saiwai-ku Kawasaki-shi, Kanagawa-ken

(72) Inventor

Kazunori OUCHI

Toshiba Corp.

Research & Development Center

1, Toshiba-cho, Obuke, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(72) Inventor

Fujio MASUOKA

Toshiba Corp.

Research & Development Center

1, Toshiba-cho, Obuke, Saiwai-ku

Kawasaki-shi, Kanagawa-ken

(74) Agent

Takehiko Suzue, Attorney

(54) [Title of the Invention]

SEMICONDUCTOR STORAGE

(57) [Abstract]

[Purpose]

To provide a semiconductor storage capable of page read and random read, and particularly capable of smooth page read and high speed write.

[Construction]

A semiconductor storage device wherein mutually orthogonal word lines WL and bit lines BL are arranged plural by plural, an arrays disposed with rewritable memory cells M in respective crossing parts of these word lines WL and bit lines BL are divided into two subarrays 1, r is characterized by the fact that the array divided word lines WL are sequentially selected one by one in the read operation and two array divided word lines WL are simultaneously selected in the write operation.

(Figure, p1, lower right)

(top)

subarray 1

subarray r

[Claims] (revised, see suppl. pp 1 - 2)

[Claim 1]

Semiconductor storage device wherein mutually orthogonal word lines and bit lines are arranged plural by plural, an array disposed with rewritable memory cells in respective crossing parts of these word lines and bit lines is divided into plural subarrays is characterized by the fact that the array divided word lines are sequentially selected one by one in the read operation and two array divided word lines are simultaneously selected in the write operation.

[Claim 2]

A semiconductor storage device wherein mutually orthogonal word lines and bit lines are arranged plural by plural, an array disposed with rewritable memory cells in respective crossing parts of these word lines and bit lines is divided into plural subarrays is characterized by the fact that the plural word lines divided by each the subarray are simultaneously selected in the write operation.

[Claim 3]

A semiconductor storage device wherein mutually orthogonal word lines and bit lines are arranged plural by plural, an array disposed with rewritable memory cells in respective crossing parts of these word lines and bit lines is divided into at least two subarrays is characterized by the fact that respective corresponding word lines in the paired subarrays are simultaneously selected by one set of row address in the write operation.

[Claim 4]

A semiconductor storage device wherein mutually orthogonal word lines and bit lines are arranged plural by plural, an array disposed with rewritable memory cells in respective crossing parts of these word lines and bit lines is divided into at least two subarrays is characterized by making the page size in the write operation longer than the page size in the read operation.

[Claim 5]

A semiconductor storage device wherein mutually orthogonal word lines and bit lines are arranged plural by plural, an array disposed with rewritable memory cells in respective crossing parts of these word lines and bit lines is divided into plural subarrays is characterized by the fact that the numbers of selected word lines are differentiated by the read operation and the write operation.

[Claim 6]

A semiconductor storage according to Claim 5, which is characterized by the fact that the number of word lines selected by one-time operation is maximum one in the respective subarrays by the read operation or the write operation.

[Claim 7]

A semiconductor storage according to Claim 5 or 6, which is characterized by the fact that the number of word lines selected by the write operation is greater than the number of word lines selected by the read operation.

[Claim 8]

A semiconductor storage according to Claim 5, which is characterized by the fact that the word lines divided by each the subarray are sequentially selected one by one in the read operation and plural word lines divided by each the subarray are simultaneously selected in the write operation.

[Claim 9]

A semiconductor storage according to any of Claims 5 to 8, which is characterized by the fact that the rewritable memory cells are nonvolatile memory cells writable with a tunnel current.

[Claim 10]

A semiconductor storage according to Claim 9, which is characterized by the fact that the rewritable nonvolatile memory cells are connected in series plural by plural to construct an NAND cell.

[Claim 11]

A semiconductor storage according to any of Claim 1 to 9, which is characterized by the fact that plural the rewritable memory cells are connected in parallel to construct an OR-type memory cell unit.

[Claim 12]

A semiconductor storage according to any of Claim 1 to 9, which is characterized by the fact that plural the rewritable memory cells are connected in parallel and selection gates are provided at their both ends to construct an AND-type memory cell unit.

[Claim 13]

A semiconductor storage according to any of Claim 1 to 9, which is characterized by the fact that plural the rewritable memory cells are connected in parallel and selection gates are provided at their one end to construct a DINOR-type memory cell unit.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application]

The present invention relates to a semiconductor storage capable of random read and page read, and particularly relates to a semiconductor storage device wherein the number of selected word lines is changed by the read operation and the write operation.

[0002]

[Prior Art]

NAND-type EEPROMs have been known as high integratable devices in nonvolatile semiconductor devices capable electric rewrite (EEPROM). In these EEPROMs, one memory cell has an FETMOS structure in which a floating gate and a control gate are laminated on a substrate via an insulating film, and plural memory cells are connected in series in the form of sharing sources and drains with memory cells adjacent to each other to construct an NAND cell.

[0003]

The drain of the NAND cell on one end is connected to bit lines via selection gates, and the source of the NAND cell on the other end is connected to a common source line via selection gates likewise. The control gates of memory cells are continuously connected in the row direction to become a word line. Usually, an assembly of memory cells connecting to the same word line is called 1 page, and an assembly of pages sandwiched by a set of selection gates on the drain side and the source side is called one NAND block or simply one block. A memory array is usually formed in a p-type well formed on an n-type semiconductor substrate.

[0004]

Operations of the NAND-type EEPROM are as follows. Data write is carried out in order from memory cells far off bit lines. A boosted write potential V_{pp} (= about 20 V) is applied to the control gates of selection memory cells, an intermediate potential (= about 10 V) is applied to the control gates of other non-selection memory cells and selection gates, and 0 V ("0" write) or an intermediate potential ("1" write) is applied to the bit lines in accordance with data. At this time, the potential of bit lines is transmitted to the selected memory cells. At the time of "0", a high voltage is applied between the float gates of the selected memory cells and the substrate, electrons are tunnel injected from the substrate to the float gates to shift the threshold value in the forward direction. At the time of "1", the threshold value does not change.

[0005]

Data erasure is carried out nearly simultaneously for all the memory cells in an NAND cell. Namely, all the control gates and selection gates are taken as 0 V, and a boosted erasure potential V_{ppE} is applied to the p-type well and the n-type substrate. Thereby, electrons of the float gates are discharged to the well in all the memory cells to shift the threshold value in the backward direction.

[0006]

Data reading is carried out by taking the control gates of selected memory cells as 0 V and the control gates and selection gates of other memory cells as source potential V_{∞} and detecting whether a current flows in the selection memory cells.

[0007]

In the NAND-type EEPROM, the cell current is small and a few μ s are taken for the discharge of bit lines because the memory cells are connected in series. Accordingly, about 10 μ s are taken for random read. Data are latched by one page in a sense amplifier and data latch circuit. The page read is made in about 10 μ s because these latch data are read out only. For example, the page length is 256 bytes, thus a time of

$$10 + 0.1 \times 255 \sim 35 \mu\text{s}$$

is taken by 1 time of random read and 255 times of page read to read one page data. Accordingly, in case of reading data throughout plural pages, the random read operation of 10 μ s is needed in a switching part of pages.

[0008]

As a method for reading data of plural pages in a cycle of page read wherein the random read operation in the page switching is eliminated in appearance, for example, a method wherein the memory cell array and the sense amplifier and data latch circuit are 2-divided to carry out the random read and page read simultaneously (Japanese Patent Application

H4-157831). In this method, the random read operation is not inserted into switching points of page and data can be read throughout plural pages while keeping the timing of page read by performing the page read operation on one side of the 2-divided memory cell array on the one hand and performing the random read operation on the other hand.

[0009]

Thus, a smooth serial reading can be realized by dividing the memory cell array into plural subarrays to eliminate the useless time in the page switching. Accordingly, as the high density of semiconductor storages goes forward, their directions consist in advancing the subarraying, dividing the word lines and reducing the page size to realize high speed and smooth read.

[0010]

However, if the page size is reduced, a problem of taking a time in the write arises. For example, the write time per byte is compared between a case that an NAND-type EEPROM of 256-byte in page length has a page length of 256-bytes and a case that the page is 4-divided 64 bytes by 64 bytes.

[0011]

First, in the case of 256-bytes in page length,

$$50 \text{ ns} \times 256 = 12.8 \mu\text{s}$$

is taken for the data load time, if the write time of the word line selection including write confirmation read, the write time of 1 page 256 bytes becomes

$$12.8 + 300 = 312.8 \mu\text{s}$$

and the write time per byte becomes 1.22 μs .

[0012]

However, if one page is 4-divided 64 bytes by 64 bytes,

$50 \text{ ns} \times 64 = 3.2 \mu\text{s}$ is taken for the data load time, and $300 \mu\text{s}$ is taken for the write time of word line selection including write confirmation read. This is because the write time of word line selection including the write confirmation read is $300 \mu\text{s}$ and the write is similarly made in a lump of one page independently of the paper size, thus the write confirmation read is carried out. Accordingly, the write time of one page 64 bytes becomes

$$3.2 + 300 = 303.2 \mu\text{s}$$
 and the write time per byte becomes 4.74 μs .

[0013]

As described above, there was a problem that if the paper size is divided, the write time per byte is extended in accordance with the number of divisions, for example, if the paper size is 4-divided, the write time per byte becomes about 4 times.

[0014]

[Problems overcome by the Invention]

Thus, in the conventional semiconductor storage, a memory cell array is divided into plural subarrays and the page read operation is carried out by one subarray while the random read operation is carried out by the other subarray so as to smoothly perform serial read without cutting out it in the random read time during page switching. However, there was such a problem that the page size of write shortens and the write time per byte increases at the same time by dividing the memory cell array into plural subarrays.

[0015]

This invention was made in view of the above problems, and its purpose consists in providing a semiconductor storage capable of page read and random read, and particularly capable of smooth page read and high speed write.

[0016]

This invention adopts the following construction to solve the above subject. Namely, this invention is characterized by having a means for changing the number of the word lines selected by one-time operation in a semiconductor storage device wherein mutually orthogonal word lines and bit lines are arranged plural by plural, an array disposed with rewritable memory cells in respective crossing parts of these word lines and bit lines is divided into plural subarrays. This invention is characterized by simultaneously selecting plural word lines divided by each the subarray in the write operation in a semiconductor storage device wherein mutually orthogonal word lines and bit lines are arranged plural by plural, an array disposed with rewritable memory cells in respective crossing parts of these word lines and bit lines is divided into plural subarrays. This invention is characterized by simultaneously selecting respective corresponding word lines in paired subarrays by one set of row address in the write operation in a semiconductor storage device wherein mutually intersecting word lines and bit lines are arranged plural by plural and an array disposed with rewritable memory cells is divided into at least two subarrays in respective crossing parts of these word lines and bit lines. This invention is characterized by making the page size in the write operation longer than the page size in the read operation in a semiconductor storage device wherein mutually intersecting word lines and bit lines are arranged plural by plural and array disposed with rewritable memory cells is divided into at least two subarrays in respective crossing parts of these word lines and bit lines. This invention is characterized by differentiating the number of selected word lines by the read operation and write

operation in a semi-conductor storage wherein mutually intersecting word lines and bit lines are arranged plural by plural and an array disposed with rewritable memory cells is divided into at least two subarrays in respective crossing parts of these word lines and bit lines. More specifically, this invention is characterized by having a means for changing the number of word lines selected by one-time operation, i. e., the page size by the read operation and write operation.

[0017]

Here, the following embodiment forms are given as desirable ones of this invention.

- (1) The number of word lines selected by one-time operation is maximum one in the respective subarrays by the read operation or write operation.
- (2) The number of word lines selected by the write operation is greater than the number of word lines selected by the read operation. Namely, the page size of write operation is larger than the page size of read operation.
- (3) The array divided word lines are sequentially selected one by one by the read operation and plural array divided word lines are simultaneously selected by the write operation.
- (4) The rewritable memory cells are nonvolatile memory cells writable with a tunnel current.
- (5) The electrically writable nonvolatile memory cells are connected in series plural by plural to construct an NAND cell.

[0018]

[Functions]

According to this invention, array divided word lines are sequentially selected in the read operation, therefore a smooth page read can be realized by not allowing the random read time in the switching of page to become useless in appearance during continuous read of data of plural pages. Moreover, plural array divided word lines are simultaneously selected in the write operation, therefore high speed page write can be realized by making the page size in the write operation longer than the page size in the read operation.

[0019]

[Embodiments]

Embodiments of this invention will be illustrated by reference to drawings below.

(Embodiment 1)

Fig. 1 is a block diagram of memory array of a semiconductor storage relating to one embodiment of this invention. In the diagram, WL_1 - WL_m , WL_{1r} - WL_{mr} are word lines, R/D_1 - R/D_m are row decoders, M_{11} - M_{mn} , M_{11r} - M_{mr} , are memory cells, and LA_1 - LA_n , LA_{1r} - LA_{nr} are sense amplifier and data latch circuits. The memory cell array is two-divided into a subarray 1 and a subarray r. Although not shown in the diagram, bit lines BL are disposed in a direction orthogonal to the word lines WL, and the sense amplifier and data latch circuits LA are connected to the respective bit lines BL.

[0020]

As a memory cell M, 1 transistor/1 capacitor DRAM or static RAM of can be used, a non-volatile ROM having control gates and float gates and an NAND cell given by connecting them in series may also be used. Here, a memory cell M is illustrated as DRAM.

[0021]

Fig. 2 shows a read operation of memory cell array of Fig. 1. If the word line WL_1 is first selected, a random read about WL_1 is carried out, and storage data of M_{11} - M_{1n} are transferred to the sense amplifier and data latch circuits. Next, the data transferred to the sense amplifier and data latch circuits are page read sequentially, meanwhile a subsequent word line WL_{1r} is selected, a random read about the WL_{1r} is carried out, storage data of memory cells M_{11r} - M_{1nr} are transferred to sense amplifier and data latch circuits, and the page read of LA_1 - LA_n is ended and the page read of LA_{1r} - LA_{nr} is continuously carried out.

[0022]

Then, a word line LA_2 is next selected and a word line LA_{2r} is subsequently selected, and the page data of the subarray 1 and the subarray r serially read out alternately without midway interruptions. Moreover, as shown in Fig. 3, a row address RA for the word line selection may also be input during page-page switching. In this case, for example, word lines $WL_{(m-1)}$ is first selected, then a serial read of page data of the subarray 1 and the subarray r, like WL_{1a} , WL_{1b} , $WL_{(m-1)r}$ is alternately carried out, but the selection of word lines in the subarrays is made in accordance with the row address.

[0023]

As shown in Fig. 4, the input of the row address RA for the word line selection may also be made by collecting it at the beginning of read rather than in the page-page switching.

[0024]

Fig. 5 shows the write operation of memory cell array of Fig. 1, but 2 pages of data are loaded in the sense amplifier and data latch circuits $LA_{1l} - LA_{nl}$ and $LA_{1r} - LA_{nr}$ of both subarray l and the subarray r which are divided at first. Next, for example, if the word line WL_{1l} and WL_{1r} are simultaneously selected, the data loaded in the sense amplifier and data latch circuits $LA_{1l} - LA_{nl}$ and $LA_{1r} - LA_{nr}$ are simultaneously written in the memory cells $M_{1l1} - M_{1nl}$ and $M_{1r1} - M_{1nr}$.

[0025]

In this case, a pair of word lines WL_{1l} and WL_{1r} are selected in a row decoder R/D₁ even if a row address input at the time of write is not a row address for differentiating the subarray l and the subarray r, e. g., by No. "1" only, just as the selected word lines are WL_{1l} and WL_{1r} , relating to the subarray l and the subarray r.

[0026]

As shown in Fig. 6, any one word line may be selected by the row address RA input relating to the subarray l and the subarray r, respectively. In this case, if a No. "3l" is input for the subarray l and a No. "(m-2)r" is input for the subarray r and 2 page data are loaded in the sense amplifier and data latch circuits $LA_{1l} - LA_{nl}$ and $LA_{1r} - LA_{nr}$ of both 2-divided subarray l and the subarray r, the word lines WL_{1l} and $WL_{(m-2)r}$ are simultaneously selected, and the data loaded in the sense amplifier and data latch circuits $LA_{1l} - LA_{nl}$ and $LA_{1r} - LA_{nr}$ are simultaneously written in the memory cells $M_{1l1} - M_{1nl}$ and $M_{1r1} - M_{1nr}$.

[0027]

Thus, according to this embodiment, a random read time in the switching of pages does not become useless in appearance and a smooth page read can be carried out by dividing the memory cell array into the two subarrays l, r and sequentially selecting the array divided word lines WL in the continuous read of data of plural pages. Moreover, the page size in the write operation becomes longer than the page size in the read operation and thereby the high speed write can be carried out because the two array divided word lines are simultaneously selected in the write operation.

(Embodiment 2)

A case of 4-dividing a memory cell array is shown in Fig. 7. In the diagram, 1 shows a subarray, 2 a sense amplifier and data latch circuit, 3 a row decoder, 4 a column decoder, and 5 a data input/output buffer. The memory cell array is divided into 4 subarrays 1, the sense amplifier and data latch circuits (A – D) and the column decoders (A – D) are provided for respective subarrays 1. The row decoder is provided between the subarrays A, B and between the subarrays C, D.

[0028]

In the case of this embodiment, the word lines are also selected one by one at the time of read. For example, as shown in Fig. 8, the word lines A, B, C, D can be sequentially selected in accordance with the input row address RA to carry out a smooth serial read.

[0029]

At the time of writing, as shown in Fig. 9, the written data are loaded in the sense amplifier and data latch circuits A – D, then the four word lines A, B, C, D are simultaneously selected in accordance with the input row address RA and the data loaded in the sense amplifier and data latch circuits A – D are written into the memory cells relating to the word lines A, B, C, D.

[0030]

Accordingly, the word line A and word line B and the word line C and word line D can be selected respectively and separately at the time of read, and the word lines A – D can be simultaneously selected at the time of write by a row decoder AB and a row decoder CD.

(Embodiment 3)

The embodiments of DRAM, SRAM-containing memories capable of common write were illustrated above, but this invention is not limited thereto, and non-volatile memories having control gates and float gates (charge storage layer) can also be applied. However, if an access to long pages is considered, it is desirable to do the write with a tunnel current. Moreover, memory cell units made by connecting plural memory cells, e. g., an OR-type memory cell unit made by connecting plural memory cells in parallel, an AND-type provided with selection gates on their both ends and a DINOR-type memory cell unit made by connecting memory cells in parallel and provided with selection gates on their one end may also be used.

[0031]

The word line voltages of read and write in these flash EEPROMs are according to their respective devices. For example, in the case of NAND type EEPROM, the read and write can be carried out by taking the word lines (control gates) of selected memory cells as 0 V and the word lines of other selected memory cells and the selection gates as source potential V_∞ and detecting whether a current flows in the selection memory cells.

[0032]

A boosted write potential V_{pp} (= about 20 V) is applied to the word lines (control gates) of selection memory cells, an intermediate potential (= about 10 V) is applied to the control gates of other non-selection memory cells and the selection gates, and 0 V ("0" write) or an intermediate potential ("1" write) is applied to the bit lines in accordance with data at the time of write. At this time, the potential of bit lines is transmitted to the selected memory cells.

[0033]

Then, at the time of data "0", a high voltage is applied between the float gates of the selection memory cells and the substrate, and electrons are tunnel injected from the substrate into the float gates to shift the threshold value in the forward direction. At the time of data "1", the threshold value does not change.

[0034]

Data erasure is carried out nearly simultaneously for all the memory cells in the NAND cell. Namely, all the control gates and selection gates are taken as 0 V, and a boosted erasure potential V_{ppE} (about 20 V) is applied to the p-type well and the n-type substrate. Thereby, electrons of the float gates are discharged to the well in all the memory cells to shift the threshold value in the backward direction.

[0035]

Although same effects as Embodiment 1 are obtained in such an embodiment, like the NAND-type EEPROM, the operation wherein plural word line are simultaneously selected to carry out the write is particularly effective in one having a long write time of word line selection including the write confirmation read.

[0036]

Moreover, this invention is not limited to the aforesaid embodiments. The number of divisions of a memory cell array is not limited to two or four and can be properly changed in accordance with specifications. Furthermore, the number of word lines selected by one operation is maximum 1 in the respective subarrays, and the number of word lines selected by

the write opera-tion had better be greater than the number of word lines selected by the read operation. In general, array divided word lines had better be sequentially selected one by one in the read operation, and the plural array divided word lines had better be simultaneously selected in the write operation. Besides, this invention can be variously modified and embodied in a range where the substance of this inven-tion is not deviated.

[0037]

[Efficacy of the Invention]

As described in detail above, according to this invention, the array divided word lines are sequentially selected in the read operation, therefore the random read time in the switching of page does not become useless in appearance and smooth page read can be realized during continuous reading of data of plural pages. Moreover, the plural array divided word lines are simultaneously selected in the write operation, therefore high speed page write can be realized by making the page size in the write operation longer than the page size in the read operation.

[Brief Description of the Invention]

[Fig. 1] Block diagram showing basic construction of semiconductor storage relating to Embodiment 1.

[Fig. 2] Signal waveform chart showing read operation of memory cell array of Fig. 1.

[Fig. 3] Signal waveform chart showing read operation of memory cell array of Fig. 1.

[Fig. 4] Signal waveform chart showing read operation of memory cell array of Fig. 1.

[Fig. 5] Signal waveform chart showing write operation of memory cell array of Fig. 1.

[Fig. 6] Signal waveform chart showing write operation of memory cell array of Fig. 1.

[Fig. 7] Block diagram showing basic construction of semiconductor storage relating to Embodiment 2.

[Fig. 8] Signal waveform chart showing read operation of memory cell array of Fig. 7.

[Fig. 9] Signal waveform chart showing write operation of memory cell array of Fig. 7.

[Description of the Symbols]

- 1 l, r subarrays
 - 2 LA₁] - LA_n], LA_{1r} - LA_{nr} sense amplifier and data latch circuits
 - 3 R/D₁- R/D_m row decoders
 - 4 column decoder
 - 5 data input/output buffer
- WL₁], WL_m], WL_{1r} - WL_{nr} word lines
- WL₁₁], WL_{mn}], WL_{1r} - WL_{nr} memory cells

[Fig. 1]

(top)
subarray l subarray r

[Fig. 2]

Clock

WL11	selection non-selection	
WL1r	word line selection/bit line sense	selection non-selection
WL2l	word line selection/bit line sense	selection non-selection
WL2r	word line selection/bit line sense	selection non-selection
		word line selection/bit line sense

[Fig. 5]

Clock	
I/O	write data load
WL1l/WL1r	non-selection selection non-selection

[Fig. 3]

Clock	
	[Fig. 4]

Clock	
	[Fig. 6]

Clock	
WL3l/WL(m-2)r	non-selection selection non-selection

[Fig. 7]

(row 1)	subarray A	row decoder AB	subarray B	subarray C
	row decoder CD	subarray D		
(row 2)	word line A	word line B	word line C	word line D
(row 3)	sense amplifier and data latch circuit A		sense amplifier and data latch circuit B	
	sense amplifier and data latch circuit C		sense amplifier and data latch circuit D	
(row 4)	column decoder A	column decoder B	column decoder C	
	column decoder D			
	data input/output buffer			

[Fig. 8]

Clock	
Word line A	serial read about word line A
Word line B	serial read about word line B
Word line C	serial read about word line C
Word line D	serial read about word line D

[Fig. 9]

Clock	
I/O	write data load
RA	
Word lines A – D non-selection	selection non-selection